

武汉科技大学 试题纸

课程名称: 计算机系统结构

专业年级: _____

考生学号: _____

考生姓名: _____

试卷类型: A 卷 ☒ B 卷 ☐

考试方式: 开卷 ☐ 闭卷 ☒

.....

一、选择题 (每题 2 分, 共 20 分)

1. 流水计算机中, 把指令 Cache 和数据 Cache 分开, 主要是为了 ()。

- A、提高存储系统的速度
- B、增加主存容量
- C、解决功能部件冲突
- D、解决访存冲突

2. 计算机系统中, 某个功能的处理时间占整个系统运行时间的 30%, 如果将该功能部件的处理速度提升到原来的 15 倍, 改进后整个系统的加速比是 ()。

- A、1/0.72
- B、0.72
- C、1/0.45
- D、0.45

3. 某计算机的主频为 600MHz, 执行 2000 条指令的测试程序, 每条指令的平均时钟周期数为 4, 则该计算机的 MIPS 为 () 百万条/秒。

- A、1.5
- B、150
- C、3000
- D、300000

4. Flynn 分类法是按照指令流和数据流的多倍性进行分类的, 其中 () 只是人为的划分, 并没有实际的机器。

- A、SISD
- B、SIMD
- C、MISD
- D、MIMD

5. 以下选项中, () 不是设计 RISC 机器应当遵循的原则。

- A、指令条数少、指令功能简单

注: 1、教师命题时题目之间不留空白;

2、考生不得在试题纸上答题, 教师只批阅答题册正面部分。

- B、采用简单而又统一的指令格式
C、采用非常丰富的寻址方式
D、采用 load-store 结构，即只有 load 和 store 指令才能访问存储器
6. 流水线处理机的实际 CPI 等于理想流水线的 CPI 加上各种停顿的时钟周期数，其中的各种停顿周期数不包括（ ）。
- A、由结构冲突引起的停顿
B、由 Cache 不命中引起的停顿
C、由数据冲突引起的停顿
D、由控制冲突引起的停顿
7. Amdahl 定律告诉我们，计算机系统的性能受限于（ ）。
- A、系统中最慢的部分
B、主存储器的速度
C、系统的响应时间
D、外部存储器的速度
8. 分离事务总线的基本思想是：将总线事务分成请求和应答两部分，在请求和应答之间的空闲时间内，总线可以供给其他 I/O 使用。下面的选项中，（ ）不是分离事务总线的另一种名称。
- A、流水总线
B、悬挂总线
C、包交换总线
D、独占总线
9. 计算/通信比值是反映并程序性能的一个重要指标。通常情况下，计算/通信比值随着处理的数据规模的增大而（ ），随着处理器数目的增加而（ ）。
- A、减少，增加
B、减少，减少
C、增加，增加
D、增加，减少
10. 在计算机层次结构的各个级上都有它自己的系统结构。计算机系统结构的经典定义，是 Amdahl 提出的，它是指（ ）所看到的计算机属性。
- A、应用语言程序员
B、高级语言程序员
C、传统机器级程序员
D、汇编语言程序员

二、分析与设计题（共 58 分）

1. （16 分）设某计算机系统指令字长固定为 12 位，每个地址字段都是 3 位，试提出一种设计方案，使该指令系统具有 4 条三地址指令，8 条二地址指令和 190 条单地址指令。要求针对这三种指令，分别画出各自的指令格式，说明操作码字段和地址码字段的分配方案，并给出各字段的编码组合。

2. （24 分）有一个 4 段非线性流水线，各段执行时间均为 Δt ，其预约表如下所示：

时间 过程段	1	2	3	4	5	6	7
S ₁	√						√
S ₂		√			√	√	
S ₃			√	√			
S ₄				√			√

（1）画出流水线任务调度的状态转移图（10 分）。

（2）求流水线的最优调度策略（4 分）。

（3）按最优调度策略连续输入 4 个任务，画出完成这 4 个任务的流水线时空图，并计算流水线的实际吞吐率（10 分）。

3. （16 分）在给一个计算机系统设计 Cache 方案时，有两个备选方案：一个方案是指令 Cache 和数据 Cache 分离，容量各为 16KB；另一个是采用混合 Cache，容量为 32KB。

（1）假设对指令 Cache 的访问占全部访问的 78%；对数据 Cache 的访问占全部访问的 22%；

（2）Cache 的命中时间为 1 个时钟周期，不命中开销为 40 个时钟周期，在混合 Cache 中一次 load 或 store 操作访问 Cache 的命中时间都要增加一个时钟周期；

（3）若采用分离 Cache，16KB 的指令 Cache 的不命中率为 1%，16KB 的数据 Cache 的不命中率为 5%；若采用 32KB 的混合 Cache，其不命中率为 1.5%。

试问指令 Cache 和数据 Cache 容量均为 16KB 的分离 Cache 和容量为 32KB 的混合 Cache 相比，哪种 Cache 的总体不命中率更低？写出平均访存时间的计算公式，计算两种情况下平均访存时间各是多少？并说明选择哪种方案更合适。

三、论述题（共 24 分）

1. （10 分）对于多处理器的存储器系统一致性问题，一般我们认为：如果对某个数据项的任何读操作均可得到其最新写入的值，则认为这个存储系统是一致的。针对这个说法，从处理器对存储单元进行读/写的角度，具体分析一下存储器应该要满足什么条件，才能称该存储器是一致的。

2. (14 分) 任意写出 Cache 的三种优化技术, 分别阐述其基本思想, 并分析其对 Cache 性能的影响情况。

武汉科技大学 试题答案

课程名称: 计算机系统结构

专业年级: _____

考生学号: _____

考生姓名: _____

试卷类型: A 卷 ☒ B 卷 ☐

考试方式: 开卷 ☐ 闭卷 ☒

一、选择题 (每题 2 分, 共 20 分)

1-5 D、A、B、C、C

6-10 B、A、D、D、C

二、分析与设计题 (共 56 分)

1. (16 分) 解:

根据题意, 指令字长 12 位, 每个地址码字段 3 位; 表示三地址指令时, 有 3 个地址码字段, 操作码字段 OP 的位数是 $12-3\times 3=3$ 位。三地址指令格式如下:

操作码 (3 位)			地址 1 (3 位)			地址 2 (3 位)			地址 3 (3 位)		
0	2	3	5	6	8	9			11		

题目要求三地址指令有 4 条, 可设置其操作码为 000、001、010 和 011, 也就是说 4 条三地址指令的编码为: 000 xxx xxx xxx; 001 xxx xxx xxx; 010 xxx xxx xxx; 011 xxx xxx xxx; 其中 xxx xxx xxx 为三个 3 位的地址码字段;

最高三位的编码中, 三地址指令使用了 4 个, 其余编码可用于二地址指令和单地址指令, 二地址指令的操作码位数为 $12-3\times 2=6$ 位, 并且操作码最高三位不能与三地址指令的操作码相同。二地址指令格式如下:

操作码 (6 位)						地址 1 (3 位)			地址 2 (3 位)		
0				5	6	8	9		11		

二地址指令的操作码最高三位不能与三地址指令的操作码相同, 且题目要求二地址指令有 8 条, 故可设置其操作码的最高三位为 100, 操作码的低三位可取 000~111, 也就是说 8 条三地址指令的编码为: 100 000 xxx xxx; 100 001 xxx xxx; 100 010 xxx xxx;; 100 111 xxx xxx; 其中 xxx xxx 为两个 3 位的地址码字段;

单地址指令只有一个地址码字段, 故可设置 9 位操作码, 且其操作码的高位不能与三地址指令、二地址指令的操作码相同。单地址指令的格式如下:

操作码 (9 位)									地址 (3 位)		
-----------	--	--	--	--	--	--	--	--	----------	--	--

注: 1、教师命题时题目之间不留空白;

2、考生不得在试题纸上答题, 教师只批阅答题册正面部分。

0

8

9

11

操作码的最高三位取值为 000~100 的编码,已经用于表示三地址指令和二地址指令,所以单地址指令中,操作码的最高三位编码可取 101~111,操作码的低 6 位用于扩展操作码,故最多可设计单地址指令 $3 \times 2^6 = 192$ 条,题目要求单地址指令有 190 条,所以,单地址指令的编码为:

101 000 000 xxx~101 111 111 xxx - 64 条

110 000 000 xxx~110 111 111 xxx - 64 条

111 000 000 xxx~111 111 101 xxx - 62 条

一共 190 条单地址指令 (指令编码中 xxx 为 3 位的地址字段)。

2. (24 分) 解:

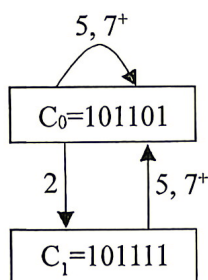
(1) 由预约表,可以写出禁止表 $F=\{1, 3, 4, 6\}$; 初始冲突向量 $C_0=(101101)$; 也就是说,一个任务进入流水线之后,间隔 j 个时钟周期 (Δt) 可以引入下一个任务, j 的取值可以是 2 和 5; 因为,每次引入新任务后,新的冲突向量 $=SHR^{(j)}(C_k) \vee C_0$, 所以:

① $j=2$, 新的冲突向量 $C=SHR^{(2)}C_0 \vee C_0=001011 \vee 101101=101111$, 记为 C_1 ;

进一步地,在该状态下, j 可取 5: $C=SHR^{(5)}(101111) \vee C_0=000001 \vee 101101=C_0$;

② $j=5$, 新的冲突向量 $C=SHR^{(5)}C_0 \vee C_0=000001 \vee 101101=C_0$;

由于每个任务经过 7 个时钟周期就会完成,所以,除了上述允许的时间间隔之外,间隔 7 个或 7 个以上的时钟周期引入新任务,也不会发生争用流水段的冲突; 由此,可以画出流水线任务调度的状态转移图如下所示:



(2) 每个闭合回路构成一个调度策略,根据状态转移图,可以列出各种调度策略及平均延迟拍数如下表所示:

调度策略	平均延迟拍数
(5)	5
(2, 5)	3.5
(2, 7)	4.5

所以,最优调度策略是(2, 5), 平均延迟 $3.5\Delta t$ 。

(3) 若连续输入 4 个任务,采用最优调度策略(2, 5),

此时的流水线时空图如下，图中的 4 个任务分别标记为 $X_1 \sim X_4$ ：

时间 过程段	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	...
S_1	X_1		X_2				X_1	X_3	X_2	X_4				X_3		X_4	
S_2		X_1		X_2	X_1	X_1	X_2	X_2	X_3		X_4	X_1	X_3	X_4	X_4		
S_3			X_1	X_1	X_2	X_2				X_3	X_3	X_4	X_4				
S_4				X_1		X_2	X_1		X_2		X_3		X_4	X_3		X_4	

完成这 4 个任务，用时 $= 7\Delta t + (2+5+2)\Delta t = 16\Delta t$

$$\text{实际吞吐率 } TP = \frac{4}{16\Delta t} = \frac{1}{4\Delta t}$$

3. (16 分) 解：

(1) 总体不命中率

32KB 的混合 Cache: 1.5%

指令和数据分离的 Cache:

$$\begin{aligned} \text{不命中率} &= 78\% \times \text{指令 Cache 的不命中率} + 22\% \times \text{数据 Cache 的不命中率} \\ &= 78\% \times 1\% + 22\% \times 5\% = 1.88\% \end{aligned}$$

所以，混合 Cache 的不命中率更低。

(2) 平均访存时间

平均访存时间 = 命中时间 + 不命中率 $\times$ 不命中开销

① 采用混合 Cache

平均访存时间 = 78% $\times$ 指令的平均访存时间 + 22% $\times$ 数据的平均访存时间

指令平均访存时间 = 指令命中时间 + 不命中率 $\times$ 不命中开销 = $1 + 1.5\% \times 40 = 1.6$ (个时钟周期)

由于在混合 Cache 中，load 和 store 操作的 Cache 命中时间要增加 1 个时钟周期，也就是访问数据 Cache 的命中时间为 2 个时钟周期，所以，

数据平均访存时间 = 数据命中时间 + 不命中率 $\times$ 不命中开销 = $2 + 1.5\% \times 40 = 2.6$ (个时钟周期)

故，平均访存时间 = $78\% \times (1 + 1.5\% \times 40) + 22\% \times (2 + 1.5\% \times 40) = 1.82$ (个时钟周期)

② 采用分离 Cache

平均访存时间 = 访问指令占比 $\times$ (指令命中时间 + 指令不命中率 $\times$ 不命中开销) + 访问数据占比 $\times$ (数据命中时间 + 数据不命中率 $\times$ 不命中开销)

平均访存时间 = $78\% \times (1 + 1\% \times 40) + 22\% \times (1 + 5\% \times 40) = 1.752$ (个时钟周期)

由此可以看出，混合 Cache 虽然不命中率略低于分离 Cache，但由于每次 load 和 store 操作的 Cache 命中时间都要增加 1 个时钟周期，所以它的平均访存时间大于分离 Cache。因此，应该选择指令 Cache 和数据 Cache 分离的设计方案。

注：1、教师命题时题目之间不留空白； 2、考生不得在试题纸上答题，教师只批阅答题册正面部分。

三、论述题（共 24 分）

1. （10 分）答：具体来说，如果一个存储器满足以下三点，则称该存储器是一致的。

（1）处理器 P 在对存储单元 X 进行一次写之后又对 X 进行读，并且在这个读和写之间没有其他的处理器对 X 进行写，则 P 读到的值总是刚写进去的值。

（2）处理器 P 对存储单元 X 进行写之后，另一个处理器 Q 对 X 进行读，且在这个读和这个写之间没有其他对 X 的写，则 Q 读到的值应该是 P 写进去的值。

（3）对同一存储单元的写是串行化的，即：任意两个处理器对同一存储单元的两次写，从各个处理器的角度来看顺序都是相同的。例如：对同一地址先写 1，后写 2，则任何处理器都不会先读到 2，后读到 1。

2. （14 分）答：

Cache 的优化技术一共有 17 种，其中：

8 种用于降低不命中率：增加 Cache 块大小，增加 Cache 的容量，提高相联度，伪相联 Cache，硬件预取，编译器控制的预取，编译优化，“牺牲” Cache

5 种用于减少不命中开销：采用两级 Cache，让读不命中优先于写，写缓冲合并，请求字处理技术，非阻塞 Cache 技术

4 种用于减少命中时间：采用容量小、结构简单的 Cache，虚拟 Cache，Cache 访问流水化，踪迹 Cache

——任选 3 种阐述其基本思想及其对 Cache 性能的影响情况（略）

武汉科技大学 试题纸

课程名称: 计算机系统结构

专业年级: _____

考生学号: _____

考生姓名: _____

试卷类型: A 卷 ☐ B 卷 ☒

考试方式: 开卷 ☐ 闭卷 ☒

一、选择题 (每题 2 分, 共 10 分)

1. 组相连映像、LRU 替换的 Cache 存储器, 不影响 Cache 命中率的是 ()

- A、增加主存容量
- B、增加组的大小
- C、增大块的大小
- D、增加 Cache 中的块数

2. 按 Flynn 提出的计算机系统分类方法, 多处理机属于: ()

- A、SISD。
- B、SIMD。
- C、MISD。
- D、MIMD。

3. 评价 I/O 系统性能的主要参数包括: ()

- A、连接特性。
- B、I/O 系统的容量。
- C、响应时间和吞吐率。
- D、以上都是。

4. 以下不属于 RISC 机器遵循的设计原则的是: ()

- A、指令字长都是 32 位。
- B、采用简单而又统一的指令格式, 并减少寻址方式。
- C、采用流水线机制, 大部分指令能在单个机器周期内完成。
- D、大多数指令都采用硬连逻辑来实现。

5. 从测试/开发者的角度看待, 计算机性能更重要的指标是 ()

- A、单个程序的执行时间
- B、CPU 的架构
- C、数据访问速率
- D、任务吞吐率

注: 1、教师命题时题目之间不留空白;

2、考生不得在试题纸上答题, 教师只批阅答题册正面部分。

(第 1 页)

二、判断题（每题 1 分，共 10 分）

1. 理想 CPI 是衡量流水线最高性能的一个指标。（）
2. 并行，即是计算机在同一时刻或者同一时间间隔内进行多种运算或操作。（）
3. 吞吐率是指单位时间内流水线所完成的任务数量或输出结果的数量。（）
4. 写回法 Cache 中不必使用写缓冲。（）
5. I/O 系统的性能对 CPU 的性能有很大的影响，若两者的性能不匹配，I/O 系统就有可能成为整个系统的瓶颈。（）
6. 在基于目录的 Cache 一致性实现中，远程结点必须和宿主结点是同一个结点。（）
7. 对于绝大多数程序来说，程序执行时所访问的存储器地址分布不是随机的，而是相对地簇聚。（）
8. Cache 和主存是按块进行管理的，但是主存和 Cache 的块大小不一样。（）
9. 如果对某个数据项的任何读操作均可得到其最新写入的值，则认为这个存储系统是一致的。（）
10. 计算机完成某一任务所花费的全部时间，包括磁盘访问、存储器访问、输入/输出、操作系统开销等。（）

三、分析题（每题 16 分 共 48 分）

1. 在设计某计算机的指令系统时，如果只需要设计单地址指令和双地址指令两种类型，而且指令字长固定为 16 位，每个地址字段都是 6 位，一共需要设计 12 条双地址指令，那么采用以下两种方式对操作码进行编码，分别计算最多可设计单地址指令多少条，并画出各自的指令格式（操作码字段和地址码字段的分配）。（1）定长操作码；（2）等长扩展码。

2. 假设某计算机有一条流水线，该流水线没有定向传送机制，有多个操作部件，其中 MOVE 部件可以完成数据传送；ADD 部件可以完成加/减运算；DIV 部件可以完成除法操作；在该处理机上执行下面三条指令组成的程序，按要求完成下面的分析。（1）首先分析三条指令组成的程序段，存在哪些相关；（2）在以下给定条件下，画出指令执行的时空图，并说明完成这 3 条指令一共需要用多少个时钟周期？（3）在流水计算机中，多条指令进入流水线后，如果两条指令之间存在相关，可能会导致流水线冲突。试说明流水线中的相关有哪几种类型，并简单进行解释说明。

k:	SUB	R2, R1, R0	; (R2) ← (R1) - (R0)
k+1:	MOVE	R4, R2	; (R4) ← (R2)
k+2:	DIV	R4, R1, R3	; (R4) ← (R1) / (R3)

给定条件：

在该流水线中，每种指令的取指 IF、译码 ID 各需一个时钟周期，MOVE、SUB 和 DIV 指令的具体操作分别需要 2 个、3 个和 4 个时钟周期。每个操作都是在第一个时钟周期从通用寄存器中读操作数，在最后一个时钟周期把运算结果写回到通用寄存器中。

3. 在给一个计算机系统设计 Cache 方案时, 有两个备选方案, 分别是直接映像 Cache 和两路组相联 Cache。请根据以下列出的系统基本情况, 分析不同方案的平均访问时间以及 CPU 的性能。选择合适的方案。

- (1) 理想 Cache 情况下的 CPI 为 2.5, 时钟周期为 2ns, 平均每条指令访存 1.5 次;
- (2) 组相联 Cache 中的多路选择器使 CPU 的时钟周期增加了 10%;
- (3) 这两种 Cache 的不命中开销都是 90ns;
- (4) 命中时间为 1 个时钟周期;
- (5) 直接映像 Cache 的不命中率为 1.5%, 两路组相联 Cache 的不命中率为 1.2%。

四、综合题 (每题 16 分 共 32 分)

1. 自第一台通用计算机诞生以来, 计算机的性能每年以惊人的速度增长。这得益于计算机系统结构设计技术, 特别是计算机系统中运用的定量原理。你知道系统设计中经常使用的定量原理有哪些? 说出它们的主要内容和意义。

2. 并行处理面临着两个重要挑战, 一个是程序中的并行性有限, 另一个相对较大的通信开销。比如多处理机中远程访问的较大延迟。某单位需要评估远程访问对多处理器性能的影响。该单位使用一台 32 个处理器的计算机测试 (处理器时钟时间为 10ns, 指令基本的 CPI 为 1.0)。分为两种情况进行实验。第一种情况没有远程访问。第二种情况有 0.5% 的指令需要远程访问, 对远程存储器访问时间为 2000ns。请预估一下前者比后者快多少? 除了通信以外, 假设计算中的访问均命中局部存储器。当发出一个远程请求时, 本处理器挂起。

武汉科技大学 试题答案

课程名称: 计算机系统结构

专业年级: _____

考生学号: _____

考生姓名: _____

试卷类型: A 卷 ☐ B 卷 ☒

考试方式: 开卷 ☐ 闭卷 ☒

一、选择题 (每题 2 分, 共 10 分)

1.A 2.D 3.D 4.A 5.D

二、判断题 (每题 1 分, 共 10 分)

1.T 2.T 3.T 4.F 5.T
6.F 7.T 8.F 9.T 10.T

三、分析题 (每题 16 分 共 48 分)

1. 解:

(1) 采用定长操作码—6 分 (=计算指令条数 2 分+给出指令格式 4 分)

指令字长 16 位, 最多有 2 个地址码字段, 每个地址码字段 6 位, 所以, 操作码字段的位数是 $16-2\times 6=4$ 位, 一共可以表示 $2^4=16$ 条指令, 其中, 双地址指令有 12 条, 故最多可设计 $16-12=4$ 条单地址指令。指令格式分别如下:

双地址指令格式:

操作码 (4 位)	地址 1 (6 位)	地址 2 (6 位)
0 3 4	9 10	15

单地址指令格式:

操作码 (4 位)	不用 (6 位)	地址码 (6 位)
0 3 4	9 10	15

(2) 等长扩展码—10 分 (=计算指令条数 4 分+给出指令格式 6 分)

指令字长 16 位, 最多有 2 个地址码字段, 每个地址码字段 6 位, 所以, 基本操作码为 4 位, 该 4 位的 16 个编码中, 有 12 个 (例如: 0000-1011) 用于表示双地址指令, 其

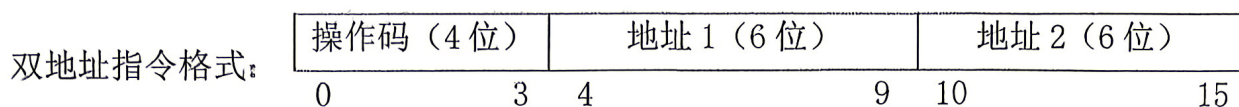
注: 1、教师命题时题目之间不留空白;

2、考生不得在试题纸上答题, 教师只批阅答题册正面部分。

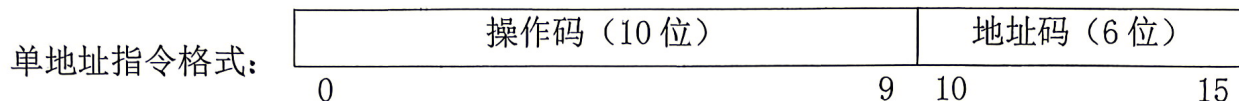
(第 7 页)

☆
F

余 4 个编码 (1100-1111), 用于操作码扩展, 和一个地址码字段 (共 6 位), 进行编码, 实现单地址指令, 最多可设计 $4 \times 2^6 = 256$ 条单地址指令。指令格式分别如下:



其中操作码字段使用 12 个编码, 例如: 0000--1011



其中操作码字段的高 4 位编码, 使用双地址指令未使用的 4 个编码, 例如: 1100--1111

2.解:

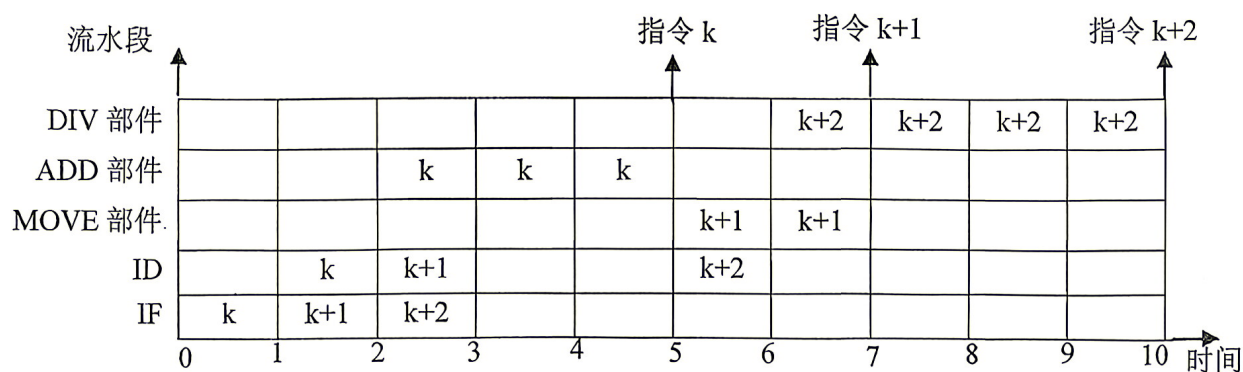
(1) 三条指令之间存在的相关: --2 分

指令 k+1 和指令 k 存在真数据相关, 指令 k+1 要使用指令 k 运行的结果

指令 k+2 与指令 k+1 都是把结果写入到 R4 寄存器, 它们之间存在名相关中的输出相关

(2) 分析题目给定的条件, 可知: --8 分=时空图 6 分+所需周期数的结论 2 分

MOVE 的指令周期由 4 个时钟周期组成; SUB 的指令周期由 5 个时钟周期组成; DIV 的指令周期由 6 个时钟周期组成; 三条指令的写回操作都是在最后一个时钟周期完成。由此, 可以画出执行这 3 条指令的流水线时空图:



由时空图可以看出, 执行这个程序段, 一共需要 10 个时钟周期。

(3) 流水线的相关有 3 种类型, 分别是: --6 分

数据相关 (也称为真数据相关): 是指, 考虑两条指令 i 和 j, i 在 j 的前面, 如果①指令 j 使用指令 i 的产生的结果; 或者②指令 j 与指令 k 数据相关, 而指令 k 又与指令 i 数据相关; 则称指令 j 与指令 i 数据相关。数据相关反映了数据的流动关系。

名相关：是指，两条指令 i 和 j ，使用了相同的寄存器或存储器单元的名称；则称指令 j 与指令 i 之间具有名相关。名相关有反相关和输出相关两种。名相关的两条指令之间没有数据传递，可以通过换名技术消除。

控制相关：是指由分支指令引起的相关，它需要根据分支指令的执行结果来确定后面应该执行哪个分支上的指令。

3.

解：由题意可知，直接映像的时钟周期时间为 $T_1=2\text{ns}$ ；两路组相联的时钟周期时间为 $T_2=1.1\times 2\text{ns}=2.2\text{ns}$

(1) 平均访存时间：--6 分=公式 2 分+两个计算各 2 分

平均访存时间=命中时间+不命中率 $\times$ 不命中开销

①直接映像方式：命中时间为 1 个时钟周期；不命中率=1.5%；不命中开销 90ns

平均访存时间= $T_1+1.5\%\times 90=2+1.5\%\times 90=3.35\text{ns}$

②两路组相联方式：命中时间为 1 个时钟周期；不命中率=1.2%；不命中开销 90ns

平均访存时间= $T_2+0.8\%\times 90=2.2+1.2\%\times 90=3.28\text{ns}$

(2) CPU 时间--8 分=公式 2 分+两个计算各 3 分

CPU 时间= $IC\times(CPI_{\text{理想}}+\text{每条指令平均访存次数}\times\text{不命中率}\times\text{不命中开销})\times\text{时钟周期时间}$
= $IC\times(CPI_{\text{理想}}\times\text{时钟周期时间}+\text{每条指令平均访存次数}\times\text{不命中率}\times\text{不命中开销的时间})$

$CPI_{\text{理想}}=2.5$

①直接映像方式： $T_1=2\text{ns}$ ；不命中率=1.5%；不命中开销 90ns

CPU 时间= $IC\times(2.5\times 2+1.5\times 1.5\%\times 90)=7.025\times IC(\text{ns})$

②两路组相联方式： $T_2=2.2\text{ns}$ ；不命中率=1.2%；不命中开销 90ns

CPU 时间= $IC\times(2.5\times 2.2+1.5\times 1.2\%\times 90)=7.12\times IC(\text{ns})$

性能相对比= $\frac{7.12}{7.025}\approx 1.0135$

(3) 结论：--2 分

虽然两路组相联的访存时间比直接映像方式的访存时间短些，但是由于时钟周期的变长，使得它的 CPU 时间反而比直接映像方式长些；所以直接映像方式的性能更好，而且直接映像 Cache 的实现更简单，所以这个应用中应该选择直接映像方式。

四、综合题（每题 16 分 共 32 分）

1. 答：〔1〕以经常性事件为重点。在计算机系统的设计中，对经常发生的情况，赋予它优先的处理权和资源使用权，以得到更多的总体上的改良。（2）Amdahl 定律。加快某部件执行速度所获得的系统性能加速比，受限于该部件在系统中所占的重要性。（3）CPU 性能公式。执行一个程序所需的 CPU 时间 = $IC \times CPI \times \text{时钟周期时间}$ 。（4）程序的局部性原理。程序在执行时所访问地址的分布不是随机的，而是相对地簇聚。——每个定量原理 4 分（名称 2 分+解释 2 分）

2. 答：有 0.5% 远程访问的机器的实际 CPI 为

$CPI = \text{基本 CPI} + \text{远程访问率} \times \text{远程访问开销}$

$= 1.0 + 0.5\% \times \text{远程访问开销}$

远程访问开销 = 远程访问时间 / 时钟时间 = $2000\text{ns} / 10\text{ns} = 200$ 个时钟

$\therefore CPI = 1.0 + 0.5\% \times 200 = 2.0$

它为只有局部访问的机器的 $2.0 / 1.0 = 2$ 倍

因此在没有远程访问的状态下的机器速度是有 0.5% 远程访问的机器速度的 2 倍

--公式 4 分；两种 CPI 计算各 4 分；结论 4 分